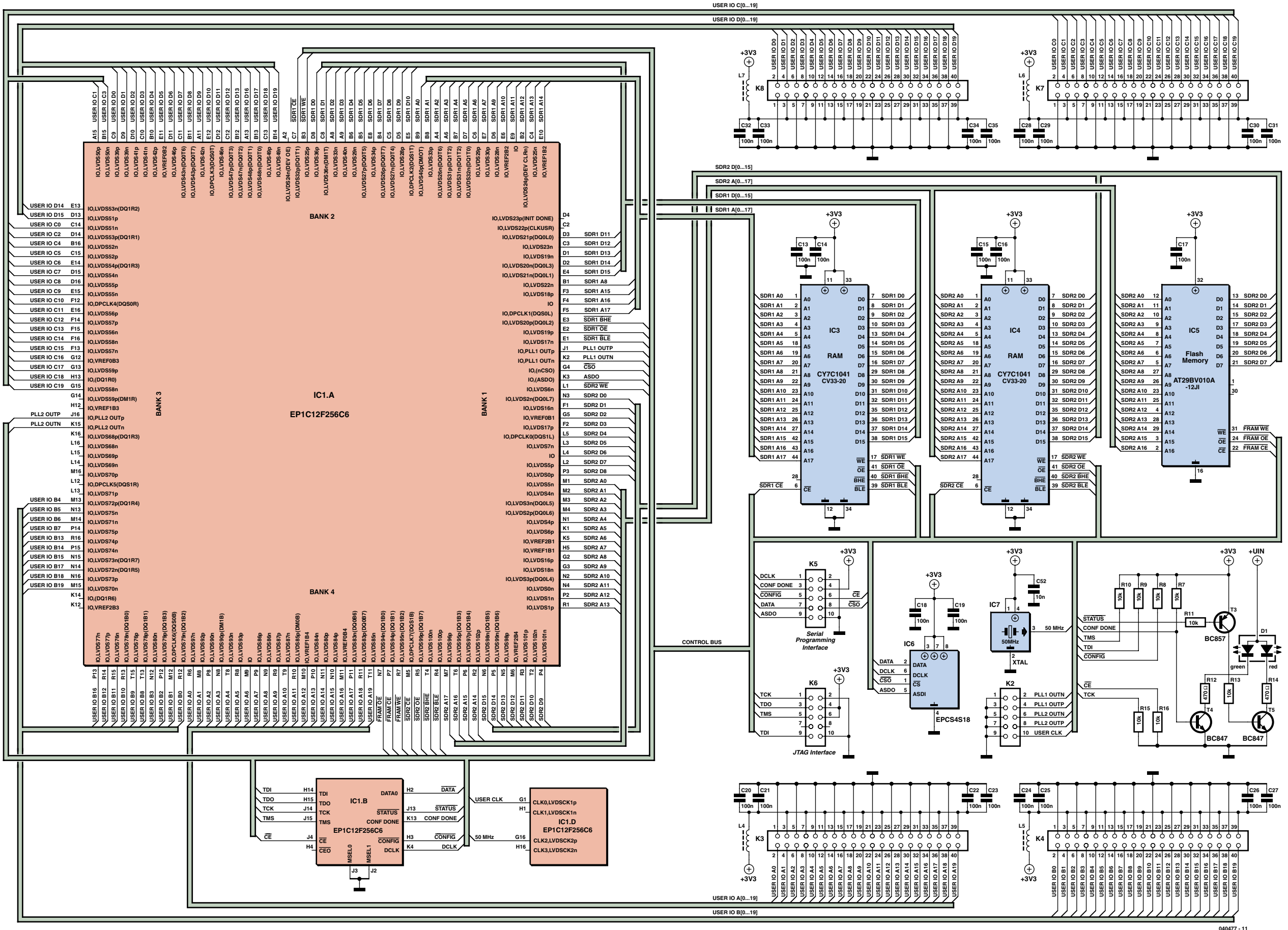


FPGA CENTRAL UNIT OVERVIEW



Pin	Signal
M1	SDRAM2_A0
M2	SDRAM2_A1
M3	SDRAM2_A2
M4	SDRAM2_A3
N1	SDRAM2_A4
K1	SDRAM2_A5
K5	SDRAM2_A6
H5	SDRAM2_A7
G2	SDRAM2_A8
G3	SDRAM2_A9
N2	SDRAM2_A10
N4	SDRAM2_A11
P2	SDRAM2_A12
R1	SDRAM2_A13
R2	SDRAM2_A14
P6	SDRAM2_A15
T6	SDRAM2_A16
M7	SDRAM2_A17

Pin	Signal
N3	SDRAM2_D0
F1	SDRAM2_D1
G5	SDRAM2_D2
F2	SDRAM2_D3
L5	SDRAM2_D4
L3	SDRAM2_D5
L4	SDRAM2_D6
L2	SDRAM2_D7
P3	SDRAM2_D8
P4	SDRAM2_D9
T2	SDRAM2_D10
R3	SDRAM2_D11
M6	SDRAM2_D12
N5	SDRAM2_D13
P5	SDRAM2_D14
N6	SDRAM2_D15

Pin	Signal
M5	SDRAM2_CE (INV)
R5	SDRAM2_OE (INV)
L1	SDRAM2_WE (INV)
T4	SDRAM2_BHE (INV)
R4	SDRAM2_BLE (INV)

Pin	Signal
G16	50MHZ
G1	USER_CLK
K2	PLL1_OUT (INV)
J1	PLL1_OUT
K15	PLL2_OUT (INV)
J16	PLL2_OUT

Pin	Signal
P7	FRAM_CE (INV)
N7	FRAM_OE (INV)
R7	FRAM_WE (INV)

Pin	Signal
C7	SDRAM1_CE (INV)
E2	SDRAM1_OE (INV)
B3	SDRAM1_WE (INV)
E3	SDRAM1_BHE (INV)
E1	SDRAM1_BLE (INV)

Pin	Signal
D8	SDRAM1_D0
C8	SDRAM1_D1
A8	SDRAM1_D2
A9	SDRAM1_D3
B6	SDRAM1_D4
B5	SDRAM1_D5
E8	SDRAM1_D6
B4	SDRAM1_D7
C5	SDRAM1_D8
D5	SDRAM1_D9
E5	SDRAM1_D10
D3	SDRAM1_D11
C3	SDRAM1_D12
D1	SDRAM1_D13
D2	SDRAM1_D14
E4	SDRAM1_D15

Pin	Signal
B9	SDRAM1_A0
B8	SDRAM1_A1
A4	SDRAM1_A2
A6	SDRAM1_A3
B7	SDRAM1_A4
D7	SDRAM1_A5
C6	SDRAM1_A6
E7	SDRAM1_A7
B1	SDRAM1_A8
D6	SDRAM1_A9
E6	SDRAM1_A10
E9	SDRAM1_A11
B2	SDRAM1_A12
C4	SDRAM1_A13
E10	SDRAM1_A14
F3	SDRAM1_A15
F4	SDRAM1_A16
F5	SDRAM1_A17

Pin	Signal
R6	USER_IO_A0
M8	USER_IO_A1
P8	USER_IO_A2
N8	USER_IO_A3
T8	USER_IO_A4
R8	USER_IO_A5
M9	USER_IO_A6
P9	USER_IO_A7
N9	USER_IO_A8
R9	USER_IO_A9

Pin	Signal
T9	USER_IO_A10
R10	USER_IO_A11
M10	USER_IO_A12
P10	USER_IO_A13
N11	USER_IO_A14
N10	USER_IO_A15
M11	USER_IO_A16
P11	USER_IO_A17
R11	USER_IO_A18
T11	USER_IO_A19

Pin	Signal
R12	USER_IO_B0
M12	USER_IO_B1
P12	USER_IO_B2
N12	USER_IO_B3
M13	USER_IO_B4
N13	USER_IO_B5
M14	USER_IO_B6
P14	USER_IO_B7
T13	USER_IO_B8
T15	USER_IO_B9

Pin	Signal
R13	USER_IO_B10
R15	USER_IO_B11
R14	USER_IO_B12
R16	USER_IO_B13
P15	USER_IO_B14
N15	USER_IO_B15
P13	USER_IO_B16
N14	USER_IO_B17
N16	USER_IO_B18
M15	USER_IO_B19

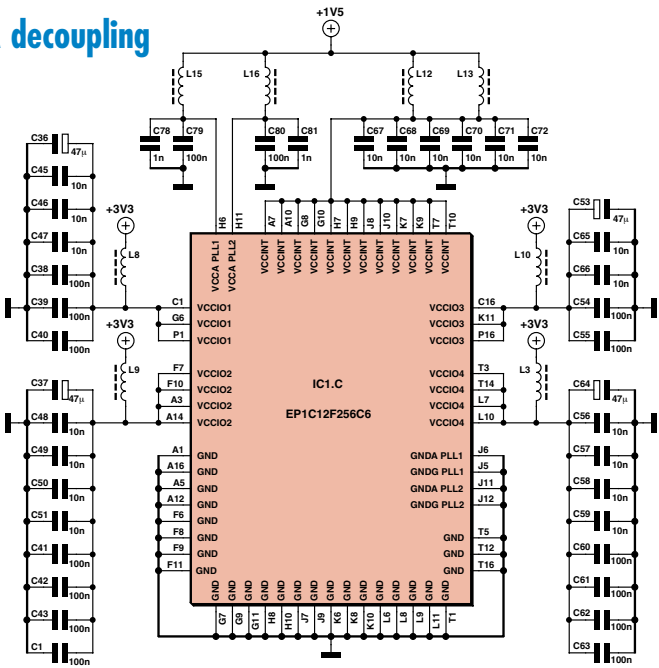
Pin	Signal
C14	USER_IO_C0
A15	USER_IO_C1
D14	USER_IO_C2
B15	USER_IO_C3
B16	USER_IO_C4
C15	USER_IO_C5
E14	USER_IO_C6
D15	USER_IO_C7
D16	USER_IO_C8
E15	USER_IO_C9

Pin	Signal
F12	USER_IO_C10
E16	USER_IO_C11
F14	USER_IO_C12
F15	USER_IO_C13
F16	USER_IO_C14
F13	USER_IO_C15
G12	USER_IO_C16
G13	USER_IO_C17
H13	USER_IO_C18
G15	USER_IO_C19

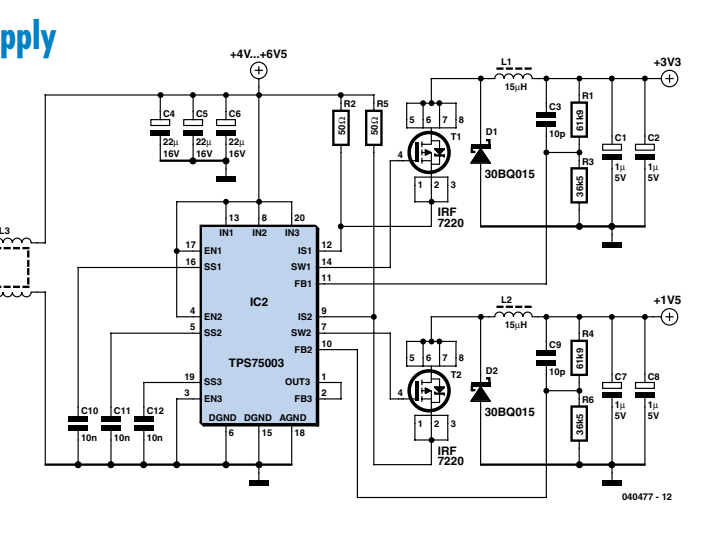
Pin	Signal
C9	USER_IO_D0
D9	USER_IO_D1
D10	USER_IO_D2
C10	USER_IO_D3
B10	USER_IO_D4
E11	USER_IO_D5
D11	USER_IO_D6
C11	USER_IO_D7
B11	USER_IO_D8
A11	USER_IO_D9

Pin	Signal
E12	USER_IO_D10
D12	USER_IO_D11
C12	USER_IO_D12
B12	USER_IO_D13
E13	USER_IO_D14
D13	USER_IO_D15
A13	USER_IO_D16
B13	USER_IO_D17
C13	USER_IO_D18
B14	USER_IO_D19

FPGA decoupling



Power supply



JTAG interface

